

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-030771
 (43)Date of publication of application : 31.01.1995

(51)Int.CI.

H04N 1/417
 H03M 3/04
 H03M 7/30

(21)Application number : 05-195621
 (22)Date of filing : 14.07.1993

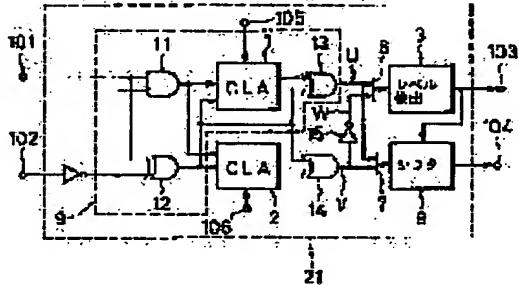
(71)Applicant : NEC CORP
 (72)Inventor : HAYASHI NAOYA

(54) IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To enable the high-speed processing of image data compression by removing an adder and an incrementer from a DPCM circuit and providing an AND gate, exclusive OR gate and carry look ahead circuit.

CONSTITUTION: An output W, for which the bits of an output U from an exclusive OR gate 13 and an output V from an exclusive OR gate 14 are inverted by an inverter 15, is inputted to a selector 6. When the code bit of the output U is '0' and predictive error is '0' or positive, the output U is selected and when the code bit is '1' and the predictive error is negative, the output W is selected. Therefore, the selector 6 passes the absolute value of the predictive error through level detection 3 and outputs the conventionally similar category from a terminal 103. On the other hand, a selector 7 selects either an output (u) or an output (w) similarly, passes an additional bit through a shifter 8, conventionally similarly shifts the additional bit to the side of the most significant bit and outputs it to a terminal 104. Thus, the predictive error can be decomposed into the category and the additional bit, and code inversion processing can be performed simultaneously with predictive error arithmetic.



LEGAL STATUS

[Date of request for examination]	14.07.1993
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	2560987
[Date of registration]	19.09.1996
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	19.09.2001

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30771

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ^o	識別記号	序内整理番号	F 1	技術表示箇所
H 04 N 1/417		9070-5C		
H 03 M 3/04		8522-5J		
7/30	A	8522-5J		

審査請求 有 請求項の数4 FD (全13頁)

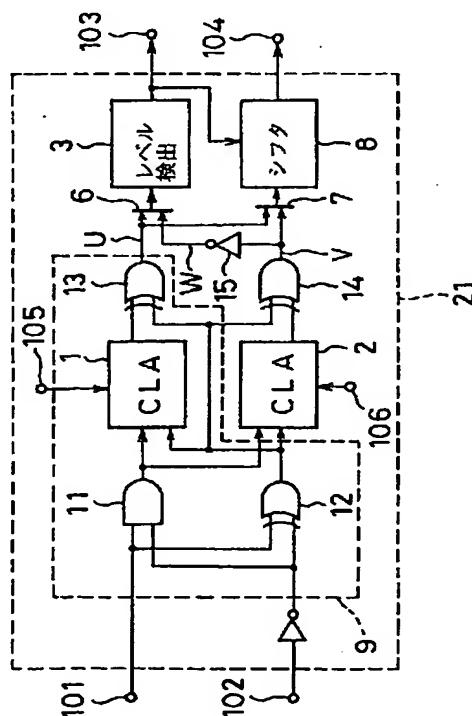
(21) 出願番号	特願平5-195621	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成5年(1993)7月14日	(72) 発明者	林 直哉 東京都港区芝五丁目7番1号 日本電気株 式会社内
		(74) 代理人	弁理士 加藤 朝道

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 D C成分を符号化処理するD P C M回路の回路規模の増大を抑え処理時間を短縮し高速処理を実現する画像処理装置の提供。

【構成】 符号化手段のD P C M回路が、第1、2入力端子と、第1ビット反転手段とキャリーが1の第1キャリールックアヘッド回路(C L A)とキャリーが0の第2C L Aと、一の入力が第1入力端子に、他の入力が第1ビット反転手段に接続され、キャリー出力及び和出力が第1、2C L Aに接続された加算器と、第2ビット反転手段と第1、2セレクタとレベル検出手段とシフト手段を備え、第1セレクタの差分絶対値出力はレベル検出を介しカテゴリとして出力され、第2セレクタの出力はシフタを介し付加ビットとして出力される。



【特許請求の範囲】

【請求項1】画像を所定画素数のブロック単位に分割し符号化出力する画像処理装置であって、現在のブロックのDC係数と該DC係数の予測値との差分をカテゴリと付加ビット(但し、前記差分が0の時カテゴリは0、付加ビットなし)に変換出力するDPCM回路を含み、前記カテゴリに基づき符号化テーブルを参照し符号語と付加ビットを出力する符号化手段を備えた画像処理装置において、

前記DPCM回路が、第1の入力端子と、第2の入力端子と、

前記第2の入力端子に接続された第1のビット反転手段と、

キャリー入力が“1”とされた第1のキャリールックアヘッド回路と、

キャリー入力が“0”とされた第2のキャリールックアヘッド回路と、

一方の入力が前記第1入力端子に、他方の入力が前記第1のビット反転手段の出力に接続され、キャリー出力が前記第1及び第2のキャリールックアヘッド回路にそれぞれ接続され、和出力が前記第1及び第2のキャリールックアヘッド回路にそれぞれ接続された加算器と、

第2のビット反転手段と、第1のセレクタと、第2のセレクタと、レベル検出手段と、シフト手段とを備え、前記第1の入力端子には現在のブロックのDC係数(X)が入力され、

前記第2の入力端子には前記DC係数の予測値(Y)が入力され、

前記加算器は、前記第1のキャリールックアヘッド回路を介して第1の出力信号(X-Y)を出力すると共に、前記第2のキャリールックアヘッド回路を介して第2の出力信号(Y-X)を出力し、

前記第2のビット反転手段は前記第2の出力信号をビット反転した第3の出力信号(Y-X)を出力し、

前記第1のセレクタは前記第1の出力信号の極性に応じて前記第1の出力信号又は前記第3の出力信号のいずれかを選択出力し、

前記第2のセレクタは前記第1の出力信号の極性に応じて前記第1の出力信号又は前記第2の出力信号のいずれかを選択出力し、

前記第1のセレクタの出力は前記レベル検出手段を介してカテゴリとして出力され、

前記第2のセレクタの出力は前記シフト手段を介して付加ビットとして出力されることを特徴とする画像処理装置。

【請求項2】前記DPCM回路の前記第1の入力端子に値が0でないAC係数を入力し、前記第2の入力端子に0を入力し、前記値が0でないAC係数のカテゴリと付加ビットへの変換を前記DPCM回路で行なうことを特徴とする請求項1記載の画像処理装置。

【請求項3】画像を所定画素数のブロック単位に分割し該ブロックを直交変換する直交変換手段と、前記直交変換手段が出力する変換係数を周波数に応じて所定の量子化ステップで量子化する量子化手段と、前記量子化手段の出力である量子化係数を入力しこれをエントロピー符号化して出力する符号化手段と、を備えた画像処理装置において、

前記符号化手段が、前記量子化係数をカテゴリと付加ビットに変換する符号変換手段として請求項1記載のDPCM回路を唯一含み、DC係数とAC係数(但し、0を除く)のカテゴリと付加ビットへの変換を前記DPCM回路で行なう構成としたことを特徴とする画像処理装置。

【請求項4】前記符号化手段が前記DPCM回路とセレクタを含み、前記DPCM回路の前記第1の入力端子には前記量子化手段の出力が接続され、前記第2の入力端子には前記セレクタの出力が接続され、前記セレクタの入力には、0とDC係数の予測値とが接続され、前記セレクタが、DC係数の符号化時には前記DC係数の予測値を選択出力し、AC係数の符号化時には0を選択出力する請求項3記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像のデータ量の圧縮を行う画像処理装置に関し、特に高速処理に向いた差分パルス符号モジュレーション回路を備えた画像処理装置に関する。

【0002】

【従来の技術】画像はデータ量が非常に多いため、画像データを圧縮して伝送あるいは蓄積記録し、受信あるいは再生側では圧縮されたデータを伸長するという処理が行なわれる。このような圧縮／伸長は符号化／復号化とも呼ばれ、例えばカラー静止画符号化国際標準方式(「JPEG方式」ともいう)が知られている。

【0003】図3は、この方式の圧縮方法を実現する画像処理装置の従来の構成を示すブロック図である。以下図3を参照して、従来の画像処理装置を説明する。

【0004】また以下では説明をわかり易くするため、画像は1画素当たり8ビットで表わされており、各信号は2進表示で最下位ビット LSB が右側にくるように割り付けられているものとする。

【0005】また、符号xの絶対値を|x|で表し、xのビット反転を-xで表す。例えば、xが2進数表示でx=00001001の時、-x=11110110となる。

【0006】xyはxとyの論理積を、x+yはxとyの論理和を、x^yはxとyの排他的論理和を表すものとする。

【0007】入力画像は、水平方向8画素×垂直方向8画素のブロックに分割され、2^7=128がゼロレベルになるようにレベルシフトされた後、各ブロック毎に端子11

0からDCT22に入力される。

【0008】DCT22では、2次元離散コサイン変換(Discrete Cosine Transform)により、DCT係数と呼ばれる水平方向8成分×垂直方向8成分の周波数成分に変換される。このときDCT係数の各成分は11ビットとされる。

【0009】DCT係数は、量子化器23で低周波成分は細かく、高周波成分は粗く量子化され、高周波成分はほとんどのとなる。この結果、入力画像の情報が多少失われることになるが、人間の視覚は高周波成分に敏感でなく、その影響は余り目立たない。

【0010】量子化されたDCT係数は、低周波数成分から1成分ずつ順に出力される。

【0011】図6に示すように、DCT係数は、ジグザグスキャンによって、1次元に並び直される。即ち、図6は、DCT係数を直流成分が左上角になるように水平方向周波数と垂直方向周波数を軸に並べ、各成分を出力する順番を記入したもので、0を付した直流成分（以下「DC係数」ともいう）から1、2、…、63を付した成分（以下「AC係数」又は「交流成分」ともいう）を順に出力することを示している。

【0012】量子化器23から出力された各成分は、成分カウンタ32で計数され、最初のDC成分と2～64番目のAC成分に区別される。

【0013】DC成分の処理とAC成分の符号変換処理について以下詳説する。

【0014】量子化されたDC係数は、エントロピー符号化され符号データに変換されるが、エントロピー符号化ではハフマン符号化が用いられ、DC差分がグループ化され、カテゴリ(category(SSSS); JPEG Draft International Standard(ISO/IEC DIS 10918-1参照、なお、カテゴリは「グループ番号(SSSS)」ともいう)と、カテゴリ内のDC差分の位置を示す付加ビットに分けられる。

【0015】即ち、図6において、DC係数は、レジスタ26に格納された予測値とともにDPCM(差分パルス符号モジュレーション)21に入力されカテゴリと付加ビ

ットに分解される。

【0016】予測値としては、画像の最初のブロック等では0を、それ以外のブロックでは一つ前に符号化したブロックのDC係数を用いる。

【0017】このようにDC係数は一つ前に符号化したブロックとの差分が符号化されるが、これは、DC係数が 8×8 画素のブロックの平均値に相当し、一般に隣のブロックとの間で平均値が大きく変化することは余りなく、このため直前のブロックのDC係数との差分は0近傍に集中し、該差分の符号化によって高能率符号化が行なえるためである。

【0018】ここでカテゴリとは、DC係数から予測値を減算して得られる差分（即ち、予測誤差）をその絶対値の大きさで分類した指標で、[log2(予測誤差)の整数部] + 1で求める。

【0019】また付加ビットはカテゴリ内の予測誤差の位置を示す符号である。予測誤差をdとしてカテゴリ及び付加ビットの関係を表すと次のようになる。

【0020】(a) d=0の場合：dのカテゴリは0、付加ビットはなし

(b) $2^{T-1} \leq d \leq 2^T$ (Tは正整数) の場合：dのカテゴリはT、付加ビットはdの下位Tビット

(c) $-2^T \leq d \leq -2^{T-1}$ (Tは正整数) の場合：dのカテゴリはT、付加ビットは $- (|d|)$ の下位Tビット…(1)

【0021】カテゴリがTとなる予測誤差は 2^T 個あるので、Tビットからなり、(1)式で求める付加ビットはカテゴリ内の予測誤差の位置を示すことができる。したがってカテゴリと付加ビットの組は予測誤差と1対1に対応する。付加ビットのビット長はカテゴリの値となる。

【0022】例としてカテゴリが4以下となる予測誤差が-15～+15の範囲において、カテゴリと付加ビットの値を示すと表1のようになる。

【0023】

【表1】

予測誤差	カテゴリ	付加ビット
-7	3	000
-6	3	001
-5	3	010
-4	3	011
-3	2	00
-2	2	01
-1	1	0
0	0	なし
1	1	1
2	2	10
3	2	11
4	3	100
5	3	101
6	3	110
7	3	111

【0024】図3のDPCM21は、DC成分を予測誤差をカテゴリと付加ビットに分解する処理を行うものである。なお、DPCM21の回路構成については後述する。

【0025】カテゴリは、さらにDCハフマンテーブル25を用いてハフマン符号に変換される。ハフマン符号は、出現頻度の高いシンボルに短い符号語を割り当てるよく知られた可変長符号で、符号語からシンボルを忠実に復元できる。

【0026】カテゴリを変換したハフマン符号と付加ビットをシフトレジスタ31に書き込みシフトして、符号化データを出力する。

【0027】シフトレジスタ31のシフト量は、ハフマン符号の符号長と付加ビット長にあたるカテゴリを加えた値とする。こうしてDC成分の圧縮データは端子111から出力される。

【0028】また通常、符号変換したDC係数はレジスタ26に格納され、次のブロックの予測値として用いられる。

【0029】次に図2を参照して、DC係数の処理を行う従来のDPCM21の回路構成について説明する。図2に示すように、DPCM21は、端子101から入力されたDC係数と端子102から入力された一つ前のブロックのDC係数（「予測値」ともいう）との差分（これを「予測誤差」という）を算出する減算器を構成する加算器4と、インバータ10、及び差分をカテゴリと付加ビットに分解する符号変換20から成る。

【0030】符号変換20は、さらにインバータ16、17、インクリメンタ5、セレクタ6、7、レベル検出3、及びシフタ8から成る。

【0031】次にDPCM21の回路動作を説明する。

【0032】端子101には11ビットのDC係数、端子102には11ビットの予測値が与えられ、予測値はインバータ

10でビット反転される。

【0033】DC係数と予測値のビット反転出力とは、それぞれ1ビットずつ符号拡張された後、12ビットの加算器4においてキャリー端子105に与えられた1とともに加算され、即ちDC係数と予測値の2の補数とが加算され、DC係数から予測値を減算した12ビットの予測誤差として出力される。

【0034】これをインバータ16でビット反転した後、12ビットのインクリメンタ5で1を加算し、予測誤差を符号反転した値（即ち、予測誤差の2の補数）がインクリメンタ5から出力される。

【0035】そして予測誤差及びその符号反転出力はセレクタ6に入力され、セレクタ6は予測誤差の符号ビットが0のとき予測誤差を選択し、1のときその符号反転出力を選択する。

【0036】したがって、予測誤差が0又は正の場合には予測誤差が出力され、負の場合には予測誤差を符号反転した値が出力されるので、セレクタ6からは予測誤差の絶対値が出力される。

【0037】この絶対値は、符号ビットが不要なため11ビットで済み、レベル検出3でカテゴリに変換されて端子103から出力される。このレベル検出3の回路構成については後述する。

【0038】セレクタ7には、予測誤差と予測誤差の符号反転出力をインバータ17でビット反転した値が入力され、予測誤差の符号ビットが0のとき予測誤差を選択し、1のとき予測誤差の符号反転出力のビット反転を選択する。

【0039】したがって、予測誤差が、0又は正の場合には予測誤差がそのまま出力され、負の場合には予測誤差の絶対値のビット反転が出力される。

【0040】したがって(1)式よりセレクタ7の出力

の、最下位ビット (LSB) からカテゴリ値に等しいビット数には付加ビットが入っている。

【0041】セレクタ7の出力は、符号ビットが不要なため11ビットで済む。セレクタ7の出力は、シフタ8で(11-カテゴリ)ビット分上位にシフトされ、最上位ビット (MSB) からカテゴリ数分のビットに付加ビットをシフト移動して端子104に出力することができる。

【0042】図4を参照して、図2のレベル検出3の回路の一例を説明する。レベル検出3は11ビットの絶対値をカテゴリに変換する回路で、制御回路24と12段のセレクタ50~61から成る。

【0043】端子126に加える11ビットの絶対値を、2進表示で $y_{10}y_9y_8y_7y_6y_5y_4y_3y_2y_1y_0$ としてレベル検出の動作を説明する。

【0044】制御回路24の出力信号 z_k ($k=0 \sim 11$)には次の信号を出力する。

【0045】

$$\begin{aligned} z_{11} &= y_{10} \\ z_k &= \overline{y_{k-1}} \overline{y_k} \overline{y_{k+1}} \cdots \overline{y_{10}} \quad (k=1 \sim 10) \\ z_0 &= \overline{y_0} \overline{y_1} \cdots \overline{y_{10}} \end{aligned}$$

【0046】これにより上位ビットから各ビットを調べて、最初に1が現れる位置を示す制御信号を生成できる。例えば、端子126に与えられた絶対値が210の場合、2進数で00011010010と表されるので、制御信号 z_k ($k=0 \sim 11$)は00010000000と、 z_8 が1となる以外はすべて0となる ($z_8 = \overline{y_7} \overline{y_8} \overline{y_9} \overline{y_{10}} = 1111 = 1$)。

【0047】各セレクタ50~61は、対応する制御信号が1のとき図4で右側に位置する入力を選択し、0のときは左側に位置する入力を選択する動作をするものとする。

【0048】これらの制御信号を各セレクタに与えると、この場合はセレクタ58のみが右側の入力すなわち数値8を選択し、残りのセレクタは左側の入力を選択する動作をするので、端子127には(1)式から求められる絶対値210のカテゴリ8が得られる。他の絶対値についても、同様の動作をすることは明らかであり、この回路で絶対値をカテゴリに変換することができる。

【0049】以上説明したように図2に示す従来例のPCM回路21は、DC成分と予測値から予測誤差を求め、これをカテゴリと付加ビットに分解して出力する。

【0050】次に図3を参照して、AC成分の処理を説明する。

【0051】AC成分の処理はDC成分の処理が完了した後に開始する。AC成分は量子化により、高周波成分に0が多くなり、これを前述したジグザグスキャンの順に出力するので、高周波成分は特に0の係数が続くことが多い。

【0052】そこでAC係数0を効率よく圧縮するた

め、連続する0の係数は、その長さがランレンジス(以下「0ラン数」という)としてカウントされ、0でないAC係数(以下「非零成分」ともいう)が現れた場合のみ、それまでの0ラン数とその非零成分の圧縮データを出力するという処理を行なう。

【0053】画像の処理をはじめる前に、図3の成分カウンタ32、ゼロランカウンタ27は0にリセットする。量子化器23からジグザグスキャン順に出力されたAC係数は以下のように処理される。

【0054】(d) AC係数が0の場合

ゼロランカウンタ27の値に1を加えて、次のAC係数が入力されるのを待つ。

【0055】(e) AC係数が0でない場合(非零成分の場合)

非零成分を符号変換28でDC係数と同様にカテゴリと付加ビットに分解し、このカテゴリ(SSSS)とゼロランカウンタ27から出力される0ラン数(NNNN)とを組み合わせてACハフマンテーブル29によりハフマン符号化して出力する。

【0056】このように0ラン数と非零成分のカテゴリの組を変換したハフマン符号、及び非零成分の付加ビットを順に最上位ビット(MSB)からシフトレジスタ31に書き込み、1つの非零成分ごとにハフマン符号と付加ビットが端子111から出力される。

【0057】この場合のシフト量は、ハフマン符号の符号長と付加ビット長にあたるカテゴリとを加えた値とする。これにより端子111からAC係数の圧縮データが全て出力される。そしてゼロランカウンタ27をリセットし、次のAC係数が入力されるのを待つ。

【0058】(f) ブロック内の最後の成分の場合

成分カウンタ32がブロック内の最後のAC係数(64番目の成分)を示しており、そのAC係数が0の場合には、エンドオブブロック(「EOB」という)という特別なシンボルをACハフマンテーブルに出力し、それをハフマン符号に変換して出力する。

【0059】そしてこのハフマン符号に変換されたEOBをシフトレジスタ31に書き込み、ハフマン符号の符号長だけシフトして端子111から出力する。

【0060】もしブロック内の最後のAC係数が非零成分であれば、EOBを付けず、前記(e)項の処理を行なう。そしてゼロランカウンタ27及び成分カウンタ32をリセットして1ブロックの処理を終える。

【0061】従来の画像処理装置は、このようにして画像をブロック毎に順に処理することにより画像情報全体の圧縮を行なっている。

【0062】

【発明が解決しようとする課題】ところで、図3及び図2に示した従来の画像処理装置は、画像を1/10~1/20程度に圧縮することができる。

【0063】しかし、例えばビデオ信号のように、1秒

間に25~60枚程度送られてくる画像をリアルタイム(実時間)に圧縮処理する場合には、相当に高速な演算処理が必要とされ、従来例の画像処理装置では、図2に示したDPCM回路が高速処理を妨げるため、リアルタイム圧縮処理を実現することが困難となっている。

【0064】すなわち、図3のAC成分を処理するゼロランカウンタ27及び成分カウンタ23はブロック内(8×8画素)の成分数である64まで数えればよいので、6ビット程度のカウンタで済む。

【0065】これに対し、DC成分を符号化するDPCM21は、図2に示すように12ビット加算器4と、12ビットインクリメンタ5を直列に接続している。従って、これらのキャリー伝搬時間、特に加算器4に直列に接続されたインクリメンタにおけるキャリーの伝搬遅延時間が原因してDC成分の符号化処理はAC成分よりも処理時間が長くなる。

【0066】図8(A)には、前述した従来のDPCM21を用いた画像処理装置の1ブロック(8×8画素)の符号化処理のタイミング図が示されている。同図に示すとおり、DC成分の処理時間がAC成分の処理時間より長くなってしまい、このため装置全体の処理速度を十分に上げられず高速処理が困難であるという問題があった。

【0067】従って、本発明は前記従来の問題点を解消し、DC成分を符号化処理するDPCM回路の素子数の増大を抑えつつ、しかも処理時間を短縮し、装置全体の高速処理を可能とする画像処理装置を提供することを目的とする。

【0068】また、本発明は画像データを圧縮符号化する画像処理装置において、DC成分とAC成分の符号変換回路の構成を簡略化し且つ装置全体の高速処理を実現する画像処理装置を提供することを目的とする。

【0069】

【課題を解決するための手段】前記目的を達成するため、本発明は、第1の視点において、画像を所定画素数のブロック単位に分割し符号化出力する画像処理装置であって、現在のブロックのDC係数と該DC係数の予測値との差分をカテゴリと付加ビット(但し、前記差分が0の時カテゴリは0、付加ビットなし)に変換出力するDPCM回路を含み、前記カテゴリに基づき符号化テーブルを参照し符号語と付加ビットを出力する符号化手段を備えた画像処理装置において、前記DPCM回路が、第1の入力端子と、第2の入力端子と、前記第2の入力端子に接続された第1のビット反転手段と、キャリー入力が“1”とされた第1のキャリールックアヘッド回路と、キャリー入力が“0”とされた第2のキャリールックアヘッド回路と、一方の入力が前記第1入力端子に、他方の入力が前記第1のビット反転手段の出力に接続され、キャリー出力が前記第1及び第2のキャリールックアヘッド回路にそれぞれ接続され、和出力が前記第1及び第2のキャリールックアヘッド回路にそれぞれ接続さ

れた加算器と、第2のビット反転手段と、第1のセレクタと、第2のセレクタと、レベル検出手段と、シフト手段とを備え、前記第1の入力端子には現在のブロックのDC係数(X)が入力され、前記第2の入力端子には前記DC係数の予測値(Y)が入力され、前記加算器は、前記第1のキャリールックアヘッド回路を介して第1の出力信号(X-Y)を出力すると共に、前記第2のキャリールックアヘッド回路を介して第2の出力信号(Y-X)を出力し、前記第2のビット反転手段は前記第2の出力信号をビット反転した第3の出力信号(Y-X)を出力し、前記第1のセレクタは前記第1の出力信号の極性に応じて前記第1の出力信号又は前記第3の出力信号のいずれか一を選択出力し、前記第2のセレクタは前記第1の出力信号の極性に応じて前記第1の出力信号又は前記第2の出力信号のいずれか一を選択出力し、前記第1のセレクタの出力は前記レベル検出手段を介してカテゴリとして出力され、前記第2のセレクタの出力は前記シフト手段を介して付加ビットとして出力されることを特徴とする画像処理装置を提供する。

【0070】また、本発明は、前記第1の視点における画像処理装置のDPCM回路をAC係数を符号変換するよう構成した画像処理装置を提供するもので、前記DPCM回路は、第1の入力端子に値が0でないAC係数が入力され、第2の入力端子に0が入力され、0でないAC係数がカテゴリと付加ビットに分解される。

【0071】さらに、本発明は、第2の視点において、画像を所定画素数のブロック単位に分割し該ブロックを直交変換する直交変換手段と、前記直交変換手段が出力する変換係数を周波数に応じて所定の量子化ステップで量子化する量子化手段と、前記量子化手段の出力である量子化係数を入力しこれをエントロピー符号化して出力する符号化手段とを備えた画像処理装置において、前記符号化手段が、前記量子化係数をカテゴリと付加ビットに変換する符号変換手段として前記本発明の第1の視点のDPCM回路を一つ含み、DC係数とAC係数(但し、0を除く)のカテゴリと付加ビットへの変換を前記DPCM回路で行なう構成としたことを特徴とする画像処理装置を提供する。

【0072】

【実施例】図面を参照して、本発明の実施例について以下に詳説する。

【0073】

【実施例1】図1に、本発明の実施例に係る画像処理装置に用いるDPCM回路の構成を示す。なお、本実施例は、図3に示した従来の画像処理装置において、DPCM21を図1のもので置き換えて構成されており、従来例と同じ構成の回路ブロックの説明は省略する。

【0074】図1のDPCM回路は、図2に示した従来のDPCM回路と同様に、端子101に入力されたDC係数と端子102に入力された予測値との差分、即ち予測誤

差を算出し、該予測誤差をカテゴリと付加ビットに分解する回路である。

【0075】図1に示すとおり、本実施例のDPCM回路は、CLA1、CLA2、セレクタ6、7、レベル検出3、シフタ8、ANDゲート11、排他的論理ゲート12~14、インバータ10、15から構成される。

【0076】ここで、レベル検出3、シフタ8は、図2に示す従来のDPCM回路と同じ動作をする回路である。

【0077】図1から分かるように、本実施例においては、従来のDPCM回路21(図2参照)から、加算器4とインクリメンタ5を除去し、ANDゲート11、排他的論理ゲート12~14、及びCLA1、CLA2から成る回路構成を設けたものである。

【0078】CLA1、2はキャリールックアヘッド回路(Carry Look Ahead; 以下「CLA回路」ともいう)であり、下位のビットの桁上げを調べてそれに対応する上位ビットの桁上げ出力を並列的に行なう回路で、高速演算処理を必要とする加算器で用いられる。

【0079】図5を参照して、CLA回路を用いた加算器について簡単に説明する。

【0080】図5には、CLA回路を用いた加算器の構成例が示されている。これは端子121、122から入力された信号を、端子123に与えた0又は1の値をとるキャリー入力信号とともに加算する通常の加算器である。

【0081】ここでは予測誤差のビット幅にあわせて12ビット加算器として説明する。端子121に与えた信号を2進表示でA11A10A9A8A7A6A5A4A3A2A1A0、端子122に与えた信号を同様にB11B10B9B8B7B6B5

$$\begin{aligned}
 C_0 &= G_0 + P_0 C_{in} \\
 C_1 &= G_1 + P_1 C_0 = G_1 + P_1 G_0 + P_1 P_0 C_{in} \\
 C_2 &= G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_{in} \\
 C_3 &= G_3 + P_3 C_2 \\
 &= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_{in} \\
 C_4 &= G_4 + P_4 C_3 \\
 C_5 &= G_5 + P_5 C_4 = G_5 + P_5 G_4 + P_5 P_4 C_3 \\
 C_6 &= G_6 + P_6 C_5 = G_6 + P_6 G_5 + P_6 P_5 G_4 + P_6 P_5 P_4 C_3 \\
 C_7 &= G_7 + P_7 C_6 \\
 &= G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 G_4 + P_7 P_6 P_5 P_4 C_3 \\
 C_8 &= G_8 + P_8 C_7 \\
 C_9 &= G_9 + P_9 C_8 = G_9 + P_9 G_8 + P_9 P_8 C_7 \\
 C_{10} &= G_{10} + P_{10} C_9 = G_{10} + P_{10} G_9 + P_{10} P_9 G_8 + P_{10} P_9 P_8 C_7 \\
 C_{11} &= G_{11} + P_{11} C_{10} \\
 &= G_{11} + P_{11} G_{10} + P_{11} P_{10} G_9 + P_{11} P_{10} P_9 G_8 + P_{11} P_{10} P_9 P_8 C_7
 \end{aligned} \quad \cdots(5)$$

【0090】したがってCLA42は、例えば上記(5)式の論理式に従いANDゲート及びORゲートを並べて構成できる。

【0091】次に図1を参照して、CLA回路を用いた本実施例のDPCM回路の動作を説明する。

B4B3B2B1B0とする。ここでA11、B11は符号ビットである。

【0082】ANDゲート40の出力をG=G11G10G9G8G7G6G5G4G3G2G1G0、排他的論理ゲート41の出力をP=P11P10P9P8P7P6P5P4P3P2P1P0とすると、それぞれは(2)、(3)式のようになる。

【0083】

$$G_i = A_i B_i \quad (i = 0 \sim 11) \quad \cdots(2)$$

$$P_i = A_i \hat{\wedge} B_i \quad (i = 0 \sim 11) \quad \cdots(3)$$

【0084】Gはキャリー生成項といい、各ビットからキャリーが生成するかどうかを示す信号である。Pは入力符号のMod 2の加算出力であり、またキャリー伝搬項ともいい、下位ビットから上記ビットにキャリーが伝搬するかどうかを示す信号である。

【0085】CLAは各ビットから発生するキャリーを並列演算により高速に求める回路で、CLA出力をC=C11C10C9C8C7C6C5C4C3C2C1C0とすると、Cは各ビットからのキャリー信号となる。

【0086】Cが求められるとキャリー入力をCinとして、加算器出力S=S11S10S9S8S7S6S5S4S3S2S1S0は(4)式で表される。

【0087】

$$\begin{aligned}
 S_0 &= P_0 \hat{\wedge} C_{in} \\
 S_i &= P_i \hat{\wedge} B_{i-1} \quad (i = 0 \sim 11) \quad \cdots(4)
 \end{aligned}$$

【0088】キャリールックアヘッド回路の構成は、目的とする処理速度によりいくつか考えられるが、例えば以下の論理式で表される。

【0089】

【0092】図1のCLA1、2は、図5に示すCLA42と同じ回路で、CLA1の端子105にはキャリー入力として“1”が、CLA2の端子106にはキャリー入力として“0”が与えられる。

【0093】ANDゲート11は、図5のANDゲート40

に対応し、(2)式のキャリー生成項Gを出力する。

【0094】排他的論理和ゲート12は、図5の排他的論理和ゲート41に対応し、(3)式のキャリー伝搬項Pを出力する。

【0095】排他的論理和ゲート13は、図5の排他的論理和ゲート43に対応し、(4)式においてキャリー入力C_{in}が“1”的場合の加算結果を出力する。

【0096】同様に排他的論理和ゲート14も図5の排他

$$\begin{aligned} U &= DC\text{成分} + \overline{\text{予測値}} + 1 = DC\text{成分} - \text{予測値} \\ &= \text{予測誤差} \end{aligned} \quad \cdots (6)$$

【0099】

$$\begin{aligned} V &= DC\text{成分} + \overline{\text{予測値}} + 0 = DC\text{成分} - \text{予測値} - 1 \\ &= -(\text{予測値} - DC\text{成分}) - 1 = -(\text{予測値} - DC\text{成分}) \\ &= -(-\text{予測誤差}) \end{aligned} \quad \cdots (7)$$

【0100】上記(6)、(7)式の導出においては、前述したとおり、 \overline{X} は、符号Xのビット反転を表わし、 $\overline{X} + 1$ がXの2の補数（符号反転した値-X）を表わすこと、即ち、等式 $\overline{X} + 1 = -X$ を用いている。

$$W = -\text{予測誤差}$$

【0103】図1に示すとおり、セレクタ6には出力UとWが入力されている。セレクタ6は、出力Uの符号ビットが“0”すなわち予測誤差が0又は正の場合には出力Uを選択し、出力Uの符号ビットが“1”すなわち予測誤差が負の場合に出力Wを選択する。

【0104】したがって、上記(6)、(8)式から、セレクタ6は、予測誤差の絶対値を出力し、この絶対値がレベル検出3に入力される。このため、図1の端子103には、図2に示す従来のDPCM回路と同様にカテゴリが出力される。

【0105】セレクタ7には出力UとVが入力されている。セレクタ7は、出力Uの符号ビットが“0”すなわち予測誤差が0又は正の場合に出力Uを選択し、出力Uの符号ビットが“1”すなわち予測誤差が負の場合に出力Vを選択する。前記(1)式を参照して、dを予測誤差とすると、付加ビットは $\overline{(|d|)}$ の下位のカテゴリTビットにより与えられ、上記(6)、(7)式から、付加ビットがセレクタ7を介してシフタ8に出力されることがわかる。

【0106】したがって、図1の端子104には、図2に示す従来のDPCM回路と同様に付加ビットが最上位ビット(MSB)側にシフトされて出力される。

【0107】以上説明したように、図1に示す本実施例のDPCM回路は、予測誤差をカテゴリと付加ビットに分解することができる。

【0108】ここで、本実施例のDPCM回路を、図2に示した従来のDPCM回路と比べると、本実施例のDPCM回路には従来例で用いられていたインクリメンタ5がない。

【0109】本実施例のDPCM回路には、従来例と異なり、新たにCLA回路が2個設けられているが、この

的論理和ゲート43に対応し、(4)式においてキャリー入力C_{in}が“0”的場合の加算結果を出力する。

【0097】したがって端子102に与えられた予測値は、インバータ10でビット反転されているため、排他的論理和ゲート13の出力U、排他的論理和ゲート14の出力Vは次のようになる。

【0098】

【0101】したがって排他的論理和ゲート14の出力Vをインバータ15でビット反転した出力Wは次のようになる。

【0102】

$\cdots (8)$

うち1個は、従来の加算器にも通常含まれる回路であるといえる。

【0110】図1において、ANDゲート11、排他的論理和ゲート12、13及びCLA1から成る回路ブロック9は、図5に示すCLA加算器を構成する。そして、図2の従来のDPCM回路においても、高速処理を達成するためには、その加算器4として、本実施例の回路ブロック9(CLA加算器)が用いられる。

【0111】したがって本実施例のDPCM回路は、インクリメンタを用いずに、しかも従来の加算器にCLA2と排他的論理和ゲート14を追加した回路構成で済む。ところで、CLA回路の回路規模とインクリメンタの回路規模は大差ないため、本実施例のDPCM回路は、図2に示す従来のDPCM回路の規模とほとんど変わらない。

【0112】そして図2の従来のDPCM回路では、セレクタ6の入力の一方は、加算器4の出力が得られた直後に確定するのに対し、セレクタ6の入力の他方は、加算器4の出力が得られた後に、更にインバータ15の遅延時間及びインクリメンタ5の処理時間経過後に確定する。

【0113】これに対し、本実施例のDPCM回路では、CLA2とCLA1が並列に配設されているため、CLA1とCLA2の出力はほぼ同時に出力される。したがってセレクタ6の入力は、破線9で囲んだ加算器の出力が確定してから、インバータ15による遅延時間後に確定する。また、このインバータ15の遅延時間は小さいので、ほとんど同時にセレクタ6の入力が両方が確定することになる。

【0114】したがって、本実施例のDPCM回路と図2の従来のDPCM回路において、セレクタ6の両方の

入力が確定するまでの時間を比較すると、従来のDPCM回路では、本実施例に対しインクリメンタ5の処理時間分長くなっていることがわかる。またセレクタ7の両方の入力が確定する時間についても同じことがいえる。

【0115】ところで、インクリメンタの処理時間は最下位ビット LSB から最上位ビット MSB へのキャリーの伝搬遅延時間で決定され、従来のDPCM回路のように12ビットのインクリメンタでは、その伝搬時間は相当大きくなる。例えば1ビットの半加算器を12個直列に接続するリップルキャリー型の12ビットインクリメンタでは、伝搬時間は半加算器の処理時間の12倍になる。

【0116】本実施例では、この従来のDPCM回路にあるインクリメンタ5がなくその伝搬時間による遅延が解消され、符号反転処理が予測誤差の演算とほとんど同時にに行なわれるため、従来より処理時間が短くて済む。

【0117】したがって図1のDPCM回路を用いた図3の画像処理装置は、従来例で問題となっていたDC成分の処理時間が短くなり、それだけ高速処理が可能になる。

【0118】図8(B)には、本実施例における画像1ブロックの処理のタイミングが示されている。図8(B)から分かるように、本実施例においては、図8(A)に示す従来の処理タイミングよりもDC成分の処理時間が短くなるので装置全体の処理速度が上げられる。

【0119】以上、本実施例は、回路規模は従来例と同程度に抑えながらも従来の符号化装置よりも一層高速な画像圧縮を実現するもので、ビデオ信号のリアルタイム圧縮等の高速処理への適用を容易化している。

【0120】

【実施例2】次に、図7を参照して、本発明の第2の実施例を説明する。本発明の第2の実施例は前述した図3の従来の画像処理装置において、AC成分の符号変換28を前記第1の実施例で説明したDC係数の符号変換で兼用するように構成したものである。

【0121】図7のDPCM21には、第1の実施例のDPCM回路を用いる。DPCM21の第1の入力には量子化器23の出力が接続され、第2の入力にはセレクタ33の出力が接続されている。セレクタ33の入力には、値0と、レジスタ26の出力(予測値)が接続されている。

【0122】次にこの実施例の動作を説明する。なお本実施例のDCT22、量子化器23の動作は、図3の従来例と同じであるためその説明を省略し、DC成分とAC成分の処理を以下に説明する。

【0123】量子化器23からDCT係数が前述したジグザグスキャンの順に読み出され、成分カウンタ32がその数を数える。そしてセレクタ33は、1番目のDC係数ではレジスタ26の出力、即ち予測値を選択し、DPCM21は、DC係数と予測値の差分(予測誤差)の符号変換を行なう。

【0124】即ち、DPCM21は、前記第1の実施例と同様に、DC係数とその予測値から予測誤差を算出し、これをカテゴリと付加ビットに分解して出力する。カテゴリはDCハフマンテーブル25でハフマン符号化され、このハフマン符号と付加ビットは順にシフトレジスタ31に書き込まれ、第1の実施例と同様に端子111から出力される。また前述のとおり符号化したDC係数はレジスタ26に格納され、次のブロックのDC成分の予測値として用いられる。

【0125】成分カウンタの値が2番目から64番目のAC成分は次のように処理される。

【0126】(g) AC係数が0の場合

ゼロランカウンタ27の値に1を加えて、次のAC係数が入力されるのを待つ。

【0127】(h) AC係数が0でない場合(非零成分の場合)

セレクタ33は0を選択し、DPCM21に予測値として与える。DPCM21ではAC係数とこの予測値である0の予測誤差、即ちAC係数そのものをカテゴリと付加ビットに分解する。

【0128】DPCM21から出力されたカテゴリは、ゼロランカウンタ27から出力される0ラン数と組み合わせ、ACハフマンテーブル29を参照してハフマン符号が出力される。このハフマン符号と付加ビットはシフトレジスタ31に書き込まれ、第1の実施例と同様にシフトされ端子111から出力される。

【0129】(i) ブロック内の最後の係数の場合

成分カウンタ32が64番目の成分を示しており、その係数が0の場合には、第1の実施例と同様にエンドオブブロック(EOB)という特別なシンボルをACハフマンテーブル29に出力し、それをハフマン符号に変換して出力する。

【0130】そしてこのハフマン符号に変換されたEOBをシフトレジスタ31に書き込み、第1の実施例と同様に端子111から出力する。もし64番目の成分が非零成分であれば、EOBを付けず、前記項目(h)の処理を行なう。そしてゼロランカウンタ27及び成分カウンタ32をリセットして1ブロックの処理を終える。

【0131】このように各ブロックを順に処理することにより、図7に示す本発明の第2の実施例は画像全体を圧縮する。

【0132】本実施例は、DPCM21として本発明の第1の実施例のDPCM回路を用いているので、従来例の画像処理装置よりも高速処理が可能である。さらに本実施例は、図3の従来例におけるAC成分の符号変換28をもDPCM21内で処理するため、図3の符号変換28を不要とし、画像処理装置の回路規模を縮小化するものである。

【0133】

【発明の効果】以上説明したように、本発明の画像処理

装置は、DCT係数のDC係数を処理するDPCM回路として、従来用いられ処理遅延の要因となっていたインクリメンタを不要とする回路構成とすることにより、従来のDPCM回路と同程度の回路規模に抑えながら、従来例のインクリメンタのキャリー伝搬時間分、DC係数の処理時間を短縮化し、画像データ圧縮の高速処理を達成したものである。

【0134】さらに、本発明の第2の視点においては、AC係数のカテゴリ、付加ビットへの分解も、DC係数を符号変換するDPCM回路において処理するため、AC成分専用の符号変換回路を不要とし、装置全体の回路規模の縮小化を実現すると共に、符号変換処理を高速化するという利点を有する。

【図面の簡単な説明】

【図1】本発明の画像処理装置のDPCM回路の構成を示すブロック図である。

【図2】従来のDPCM回路の構成を示すブロック図である。

【図3】従来の画像圧縮を行なう画像処理装置の構成を示すブロック図である。

【図4】レベル検出回路の一例を示す回路構成図である。

【図5】CLA加算器の構成を示すブロック図である。

【図6】ジグザグスキャンの説明図である。

【図7】本発明第2実施例の構成を示すブロック図である。

【図8】(A) 従来の画像処理装置の1ブロックの処理

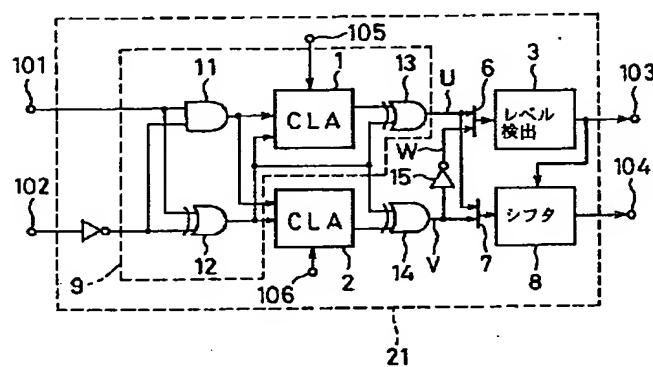
タイミングを説明するタイミング図である。

(B) 本発明の画像処理装置の1ブロックの処理タイミングを説明するタイミング図である。

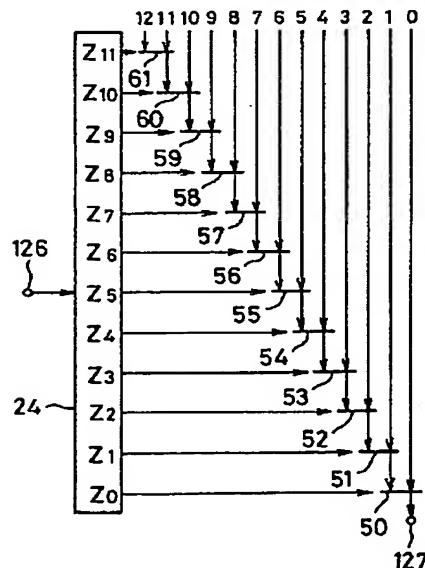
【符号の説明】

- 1, 2, 42 CLA回路
- 3 レベル検出
- 4, 9 加算器
- 5 インクリメンタ
- 6, 7, 33 セレクタ
- 8 シフタ
- 10, 15, 16, 17 インバータ
- 11, 40 ANDゲート
- 12, 13, 14, 41, 43 排他的論理和ゲート
- 20, 28 符号変換
- 21 DPCM
- 22 DCT
- 23 量子化器
- 24 制御回路
- 25 DCハフマンテーブル
- 26 レジスタ
- 27 ゼロランカウンタ
- 29 ACハフマンテーブル
- 30 セレクタ
- 31 シフトレジスタ
- 32 成分カウンタ
- 50~61 セレクタ
- 101~126 端子

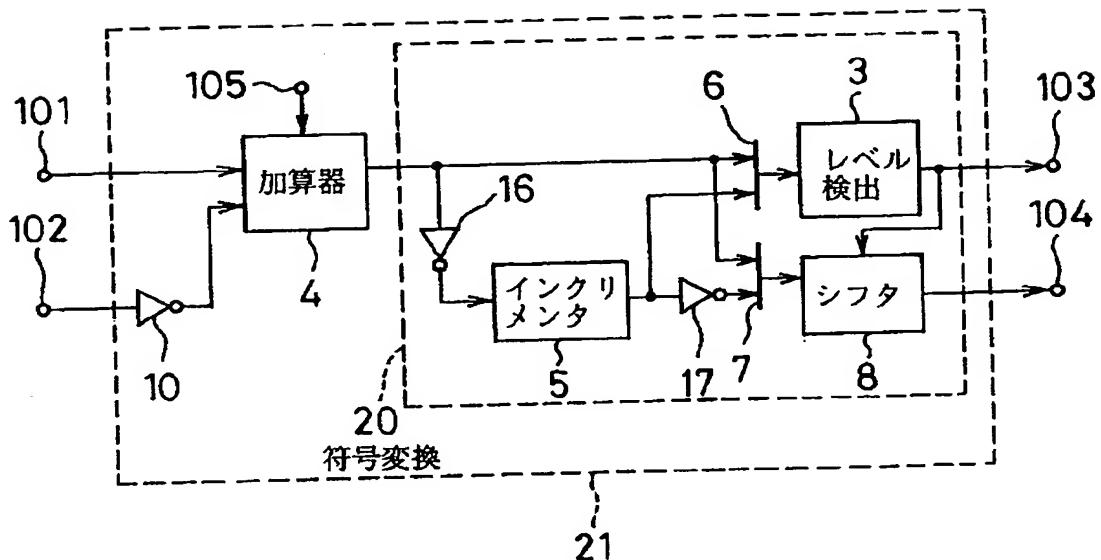
【図1】



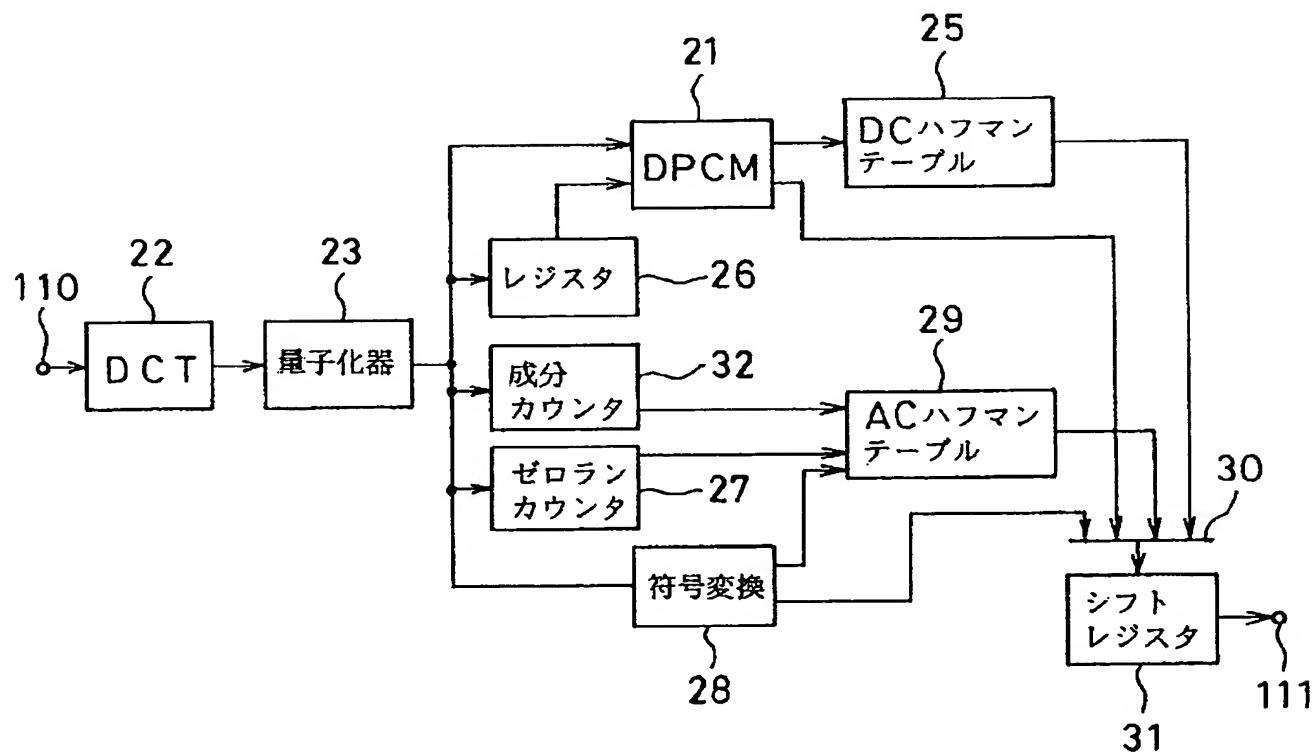
【図4】



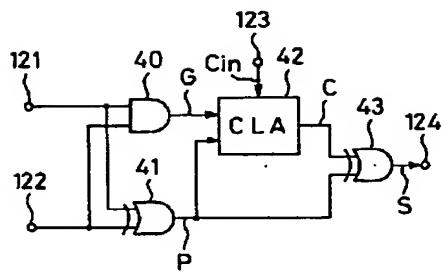
【図2】



【図3】



【図5】

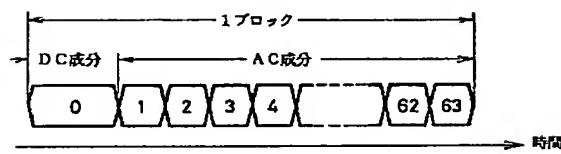


【図6】

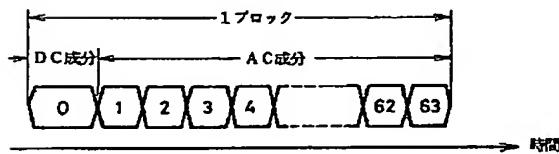
水平方向周波数							
↓ 垂直方向周波数							
0	1	5	6	14	15	27	28
2	4	7	13	16	26	29	42
3	8	12	17	25	30	41	43
9	11	18	24	31	40	44	53
10	19	23	32	39	45	52	54
20	22	33	38	46	51	55	60
21	34	37	47	50	56	59	61
35	36	48	49	57	58	62	63

【図8】

(A)



(B)



【図7】

